

PATENT ABSTRACTS OF JAPAN

D-1485

(11)Publication number : 11-155281

(43)Date of publication of application : 08.06.1999

(51)Int.Cl.

H02M 3/155
H02M 1/08

(21)Application number : 10-182794

(71)Applicant : SEIKO INSTRUMENTS INC

(22)Date of filing : 29.06.1998

(72)Inventor : SUDO MINORU

(30)Priority

Priority number : 09257192
09257193

Priority date : 22.09.1997
22.09.1997

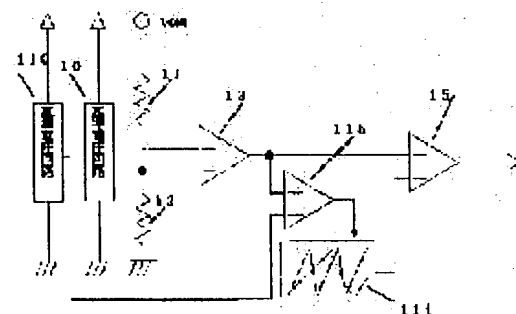
Priority country : JP
JP

(54) SWITCHING REGULATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the efficiency of a switching regulator during light load.

SOLUTION: The output voltage of a switching regulator and the output of a reference voltage circuit 10 are inputted to an error amplifier 13, which outputs a difference voltage between them. The difference voltage and the output of a reference voltage circuit 110 are inputted to a comparator 115, which discriminates whether or not, the differential voltage is higher than the reference voltage. An oscillation circuit 114 is constructed so as to change an oscillation frequency in accordance with the discriminating result. If the difference voltage is lower than the reference voltage, the oscillation frequency is lowered so as to lower a switching frequency, and efficiency during light load can be improved.



LEGAL STATUS

[Date of request for examination]

19.03.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号

(43)公開日 平成11年(1999)6月8日

3 1 1 D

【特許請求の範囲】

【請求項 1】 基準電圧を発生する基準電圧回路と、前記基準電圧と、該スイッチングレギュレータが出力する出力電圧を分圧して得られる観測電圧とを入力し、両電圧の差電圧を増幅するエラーアンプと、発振信号を出力する発振回路と、前記エラーアンプの出力電圧と、前記発振回路の出力電圧とを比較する PWM コンパレータと、出力負荷電流を検出する負荷検出手段と、該負荷検出手段が検出した負荷の大小に応じて、該スイッチングレギュレータの効率を変化させる効率可変手段とを有することを特徴とするスイッチングレギュレータ。

【請求項 2】 前記負荷検出手段は、第二の基準電圧を発生する第二の基準電圧回路と、前記第二の基準電圧と、前記エラーアンプが出力する電圧とを比較する第二のコンパレータとで構成されることを特徴とする請求項 1 記載のスイッチングレギュレータ。

【請求項 3】 前記効率可変手段は、前記発振回路の発振周波数を変化させる発振周波数制御回路であることを特徴とする請求項 1 記載のスイッチングレギュレータ。

【請求項 4】 前記負荷検出手段は、第二の基準電圧を発生する第二の基準電圧回路と、前記第二の基準電圧と、前記エラーアンプが出力する電圧とを比較する第二のコンパレータとで構成され、前記発振回路は、第一の発振周波数と、これより高い周波数の第二の発振周波数の発振信号を出力するように構成されたものであり、前記効率可変手段は、前記エラーアンプの出力電圧が前記第二の基準電圧よりも小さい場合は前記発振回路に第一の発振周波数の発振信号を出力するように制御し、前記エラーアンプの出力電圧が前記第二の基準電圧よりも大きい場合は前記発振回路に第二の発振周波数の発振信号を出力するように制御する発振周波数制御回路であることを特徴とする請求項 1 記載のスイッチングレギュレータ。

【請求項 5】 前記負荷検出手段は、第二の基準電圧を発生する第二の基準電圧回路と、前記第二の基準電圧と、前記エラーアンプの出力電圧とを入力し、両電圧の第二の差電圧を増幅する第二のエラーアンプとで構成され、前記発振回路は制御電圧入力回路を有し、該制御電圧入力回路に入力する制御電圧に基づいて発振周波数が変化する電圧制御発振回路であり、前記効率可変手段は、前記第二のエラーアンプの出力する第二の差電圧を入力し、該第二の差電圧を前記発振回路の制御電圧入力回路に出力し、前記第二の差電圧に応じて前記発振周波数を連続的に変化させるように制御する発振周波数制御回路であることを特徴とする請求項 1

記載のスイッチングレギュレータ。

【請求項 6】 基準電圧を発生する基準電圧回路と、前記基準電圧と、該スイッチングレギュレータが出力する出力電圧を分圧して得られる観測電圧とを入力し、両電圧の差電圧を増幅するエラーアンプと、第一の発振周波数と、これより高い第二の発振周波数の発振信号を出力する発振回路と、前記エラーアンプの出力電圧と、前記発振回路の出力電圧とを比較する PWM コンパレータと、第二の基準電圧を発生する第二の基準電圧回路と、前記第二の基準電圧と、前記エラーアンプが出力する電圧とを比較する第二のコンパレータとで構成され、前記発振回路は、前記エラーアンプの出力電圧が前記第二の基準電圧よりも小さい場合は前記第一の発振周波数の発振信号を出力し、前記エラーアンプの出力電圧が前記第二の基準電圧よりも大きい場合は前記第二の発振周波数の発振信号を出力するように構成されたことを特徴とするスイッチングレギュレータ。

【請求項 7】 基準電圧を発生する基準電圧回路と、前記基準電圧と、該スイッチングレギュレータが出力する出力電圧を分圧して得られる観測電圧とを入力し、両電圧の差電圧を増幅するエラーアンプと、制御電圧入力回路を有し、該制御電圧入力回路に入力する制御電圧に基づいて発振周波数が変化する発振信号を出力する電圧制御発振回路と、前記エラーアンプの出力電圧と、前記発振回路の出力電圧とを比較する PWM コンパレータと、第二の基準電圧を発生する第二の基準電圧回路と、前記第二の基準電圧と、前記エラーアンプが出力する電圧とを入力し、両電圧の第二の差電圧を増幅する第二のエラーアンプとで構成され、前記電圧制御発振回路は、前記第二の差電圧に応じて連続的に発振周波数を変化させるように構成されたことを特徴とするスイッチングレギュレータ。

【請求項 8】 前記効率可変手段は、前記エラーアンプまたは前記 PWM コンパレータの少なくとも一方の電源回路に接続され、該電源回路に供給する電流を変化させる電源電流制御回路であることを特徴とする請求項 1 記載のスイッチングレギュレータ。

【請求項 9】 前記負荷検出手段は、第二の基準電圧を発生する第二の基準電圧回路と、前記第二の基準電圧と、前記エラーアンプが出力する前記差電圧とを比較する第二のコンパレータとで構成され、前記効率可変回路は、前記差電圧が前記第二の基準電圧よりも小さい場合は第一の電流を供給し、前記エラーアンプ出力電圧が前記第二の基準電圧よりも大きい場合は前記第一の電流とは異なる第二の電流を供給するように構成された電源電流制御回路であることを特徴とする請求項 1 記載のスイッチングレギュレータ。

【請求項10】 前記負荷検出手段は、
第二の基準電圧を発生する第二の基準電圧回路と、
前記第二の基準電圧と、前記エラーアンプが出力する電
圧とを入力し、両電圧の第二の差電圧を増幅する第二の
エラーアンプとで構成され、

前記効率可変回路は、前記第二の差電圧に応じて連続的
に供給電流を変化させる電源電流制御回路であることを
特徴とする請求項1記載のスイッチングレギュレータ。

【請求項11】 基準電圧を発生する基準電圧回路と、
前記基準電圧と、該スイッチングレギュレータが出力す
る出力電圧を分圧して得られる観測電圧とを入力し、両
電圧の差電圧を増幅するエラーアンプと、
発振信号を出力する発振回路と、
前記エラーアンプの出力電圧と、前記発振回路の出力電
圧とを比較するPWMコンパレータと、
第二の基準電圧を発生する第二の基準電圧回路と、
前記第二の基準電圧と、前記エラーアンプが出力する電
圧とを比較する第二のコンパレータと、
前記エラーアンプまたは前記PWMコンパレータの少な
くとも一方の電源回路に接続され、該電源回路に、前記
エラーアンプ出力電圧が前記第二の基準電圧よりも小
さい場合は第一の電流を供給し、前記差電圧が前記第二
の基準電圧よりも大きい場合は前記第一の電流と異なる第
二の電流を供給する電源電流制御回路とを有することを
特徴とするスイッチングレギュレータ。

【請求項12】 基準電圧を発生する基準電圧回路と、
前記基準電圧と、該スイッチングレギュレータが出力す
る出力電圧を分圧して得られる観測電圧とを入力し、両
電圧の差電圧を増幅するエラーアンプと、
発振信号を出力する発振回路と、
前記エラーアンプの出力と、前記発振回路の出力とを比
較するPWMコンパレータと、
第二の基準電圧を発生する第二の基準電圧回路と、
前記第二の基準電圧と、前記エラーアンプが出力する電
圧とを入力し、両電圧の第二の差電圧を増幅する第二の
エラーアンプと、
前記エラーアンプまたは前記PWMコンパレータの少な
くとも一方の電源回路に接続され、前記第二の差電圧に
応じて連続的に供給電流を変化させる電源電流制御回路
とを有することを特徴とするスイッチングレギュレー
タ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、軽負荷時の効率
を上げることが可能なスイッチングレギュレータに関す
る。

【0002】

【従来の技術】 従来のスイッチングレギュレータとして
は、図10の回路図に示されるようなスイッチングレギ
ュレータの制御回路が知られていた。このスイッチング

レギュレータでは、基準電圧回路10の基準電圧と、ス
イッチングレギュレータの出力電圧 V_{out} を分圧する
ブリーダ抵抗11、12の接続点の電圧との差電圧を増
幅するエラーアンプ13とが設けられている。エラーア
ンプ13の出力電圧を V_{err} 、基準電圧回路10の出
力電圧を V_{ref} 、ブリーダ抵抗11、12の接続点の
電圧を V_a とすると、 $V_{ref} > V_a$ ならば、 V_{err}
は高くなり、逆に $V_{ref} < V_a$ ならば、 V_{err} は低
くなる。

【0003】 PWM (Pulse Width Mod
ulation) コンパレータ15は、発振回路14の
出力、例えば三角波と、エラーアンプ13の出力を比較
して、信号を出す。図11にこれらの信号を示す。つま
り、エラーアンプの出力 V_{err} が上下することで、P
WMコンパレータ15の出力のパルスの幅がコントロ
ールされる。スイッチングレギュレータは、このパルス幅
の時間のみ、スイッチ素子をONまたは、OFFに制御
する。これが、いわゆるスイッチングレギュレータのP
WM動作である。

【0004】 図12に昇圧型のスイッチングレギュレー
タの構成図を示す。入力電源20には、コイル21が接
続されている。コイル21と出力容量24の間には、整
流素子23が接続されている。負荷25は出力容量24
と並列に接続される。スイッチングレギュレータ制御回
路30は、スイッチングレギュレータの出力端子に接続
され、スイッチングレギュレータのスイッチ素子22の
ON、OFFを制御する。

【0005】 一般に、スイッチングレギュレータの場
合、スイッチ素子をONにする時間が長い方が、負荷に
電力を供給する能力が高くなる。例えば、負荷が重くな
ると、すなわち出力負荷電流値が大きくなると、スイッ
チングレギュレータの出力電圧が下がり、ブリーダ抵抗
11、12の分圧された電圧 V_a が下がる。これによっ
て、エラーアンプ13の出力 V_{err} は上がるので、結
果として、PWMコンパレータ15のパルス幅が広が
り、出力電圧 V_{out} を一定に保つようにパルス幅が制
御される。

【0006】 逆に、負荷が軽くなると、すなわち出力負
荷電流値が小さくなると、スイッチングレギュレータの
出力電圧が上がり、ブリーダ抵抗の分圧された電圧 V_a
が上がる。これによって、エラーアンプ13の出力 V_{err}
は下がるので、結果として、PWMコンパレータの
パルス幅が狭くなり、出力電圧 V_{out} を一定に保つよ
うにパルス幅が制御される。

【0007】 すなわち、エラーアンプ13の出力 V_{err}
は、負荷電流値に応じて変化し、スイッチングレギ
ュレータのパルス幅をコントロールする。

【0008】

【発明が解決しようとする課題】 しかし、従来のスイッ
チングレギュレータでは、負荷が軽いときのスイッチ

グレギュレータの効率が著しく低下する。そこで、この発明の目的は従来のこのような問題点を解決するために、スイッチングレギュレータの出力負荷電流値に応じて、具体的には、エラーアンプの出力電圧に応じて効率を変化させ、負荷が軽いときのスイッチングレギュレータの効率を改善することを目的としている。

【0009】

【課題を解決するための手段】上記問題点を解決するために、本発明では、基準電圧を発生する基準電圧回路と、前記基準電圧と、該スイッチングレギュレータが出力する出力電圧を分圧して得られる観測電圧とを入力し、両電圧の差電圧を増幅するエラーアンプと、発振信号を出力する発振回路と、前記エラーアンプの出力と、前記発振回路の出力とを比較するPWMコンパレータと、出力負荷電流を検出する負荷検出手段と、該負荷検出手段が検出した負荷の大小に応じて、該スイッチングレギュレータの効率を変化させる効率可変手段とを設けてスイッチングレギュレータを構成した。

【0010】前記効率可変手段としては、前記発振回路の発振周波数を変化させる発振周波数制御回路として構成してもよく、または前記エラーアンプまたは前記PWMコンパレータの少なくとも一方の電源回路に接続され、該電源回路に供給する電流を変化させる電源電流制御回路として構成してもよい。

【0011】

【発明の実施の形態】以下に、本発明の第一の実施例を図面に基いて説明する。図1は本発明の第一の実施例を示すスイッチングレギュレータの制御回路のブロック図である。基準電圧回路10、ブリーダ抵抗11、12、エラーアンプ13、及びPWMコンパレータ15は従来のスイッチングレギュレータと同様である。

【0012】基準電圧回路110は、発振回路114の発振波形の振幅の最低電圧から最高電圧の間の任意のある電圧を出力する。例えば、発振回路の発振の振幅を0.2V～1.0Vとしたとき、その間の0.4Vを出力するように設定しておく。コンパレータ115は、エラーアンプ13の出力Verrと基準電圧110の出力Vref110とを比較し、発振回路114へ制御信号を出す。このコンパレータ115の制御信号によって、発振回路114の発振周波数が変化するように構成する。例えば、コンパレータ115の出力の制御信号が“H”の時、発振回路は、高い周波数（例えば、500kHz）で発振し、前記制御信号が“L”の時、発振回路は、低い周波数（例えば、100kHz）で発振するように構成する。

【0013】つまり、エラーアンプ13の出力Verrが、基準電圧110の出力Vref110よりも下がるような、軽い負荷のとき、発振周波数がさがり、SW素子をONさせるパルス幅が増大する。この動作を示す信号波形図を図2に示す。仮に、高い周波数の500kHz

zにおいて、DUTY比（発振周期に対するスイッチ素子がONする比率）が10%となること（この場合、ONの持続時間は0.2μ秒となる）に、基準電圧回路110の出力Vref110の電圧を設定すると、エラーアンプの出力Verrが、それよりも高いような、重い負荷に対しては、即ち、 $Verr > Vref110$ では、500kHzでSW素子をON/OFF制御するが、逆に、 $Verr < Vref110$ では、100kHzにて、発振回路が発振するので、その時のパルス幅が、発振周期の10%とすると、500kHzの10%の5倍の1μ秒の、広いパルス幅でSW素子をONすることになる。

【0014】軽い負荷の時に、広いパルス幅でSW素子をONするということは、リップル電圧が増大するというデメリットはあるが、スイッチングの回数が減少し、結果として、スイッチングのロスが減少し、軽負荷時の効率を向上させることができる。エラーアンプ出力がさらに下がると、パルスの幅は細くなるが、スイッチングの周波数は低いので、軽負荷時のスイッチング損失が減少し、効率は改善される。図3に、横軸を出力負荷電流、縦軸を効率としたときの特性曲線を示す。

【0015】図10の従来のスイッチングレギュレータでは、負荷が軽いときのスイッチング損失が増大し、効率が大幅に減少するが、本発明のスイッチングレギュレータでは、負荷が軽いとき、スイッチングの回数を減らすことで、効率をあげることができる。一方、エラーアンプの出力Verrが、基準電圧回路110の出力Vref110よりも、大きいような負荷の場合は、従来と同じ動作をするので、効率、及び、リップルに変化はない。

【0016】また、基準電圧回路110の出力電圧Vref110の電圧値を調整することで、発振周波数を切り換えするときのエラーアンプの出力電圧値を調整できるので、発振周波数を切り換えするときのスイッチングレギュレータの出力負荷電流値を任意に調整できることは明白である。図4は本発明の第二の実施例によるスイッチングレギュレータの制御回路のブロック図である。基準電圧回路10、ブリーダ抵抗11、12、エラーアンプ13、及びPWMコンパレータ15は従来と同様である。

【0017】第一の実施例との相違点は、発振回路114の発振周波数が、エラーアンプ13の出力Verrに応じて、アナログ的に変化することである。電圧-電流変換回路120は、エラーアンプの出力Verrに応じて、発振回路114の電流値をアナログ的に変化させる。例えば、発振回路114が、コンデンサを充放電することによって、発振周波数を決める構成の発振回路であるとする、エラーアンプ13の出力で発振回路114の前記充放電電流をコントロールすれば、図5のように、充放電電流にほぼ比例して、発振周波数が変化する

ことになる。

【0018】すなわち、スイッチングレギュレータの負荷の軽い時は、発振回路114の充放電電流は少なくなり、つまり発振周波数は低くなり、結果として軽負荷時のスイッチングレギュレータのスイッチング回数が減少し、効率が改善される。逆に、負荷の重いときは、発振回路114の充放電電流が多くなり、発振周波数は高くなる。これによって、多少効率は下がるが、良好な応答特性と、低リップル電圧を得ることができる。

【0019】上記実施例では、エラーアンプの出力電圧値に応じて、発振回路の発振周波数を変化させているが、これに限らず、重負荷時と軽負荷時とを識別する信号によって、前記発振周波数を変化させても、同様の効果を有する。例えば、重負荷時と軽負荷時を識別する信号としては、外部から供給される信号や、PWMコンパレータ15の出力パルス幅に応じた出力電圧をもった信号等がある。

【0020】次に本発明の第三の実施例について説明する。図6は本発明の第三の実施例を示すスイッチングレギュレータの制御回路のブロック図である。基準電圧回路10、ブリーダ抵抗11、12、及び、発振回路14は従来のスイッチングレギュレータと同様である。エラーアンプ113とPWMコンパレータ117の動作も、従来のスイッチングレギュレータと同じである。基準電圧回路110は、発振回路14の発振波形の振幅の最低電圧から最高電圧の間の任意のある電圧を出力する。例えば、発振回路の発振の振幅を0.2V~1.0Vとしたとき、その間の0.4Vを出力するように設定しておく。コンパレータ116は、エラーアンプ113の出力 V_{err} と基準電圧110の出力 V_{ref110} とを比較し、エラーアンプ113とPWMコンパレータ117へ制御信号を出す。このコンパレータ116の制御信号によって、エラーアンプ113とPWMコンパレータ117の消費電流が変化するように構成する。例えば、コンパレータ116の出力の制御信号が“H”の時、エラーアンプ113とPWMコンパレータ117の消費電流は高く（例えば、それぞれ10 μ A）、前記制御信号が“L”の時は、消費電流を下げる（例えば、1 μ A）ように構成する。消費電流を変化させる具体的手段としては、例えば、9 μ Aの定電流源と1 μ Aの定電流源の2つの定電流源をエラーアンプ113とPWMコンパレータ117に接続し、9 μ Aの定電流源には電流経路にSW素子を設け、前記コンパレータ116の信号によって前記SW素子のONあるいはOFFを行なうことで、消費電流を変化させることができる。

【0021】つまり、エラーアンプ113の出力 V_{err} が、基準電圧110の出力 V_{ref110} よりも下がるような、軽い負荷のときは、スイッチングレギュレータの制御回路の電流を減少させる。この動作を示す信号波形を図7に示す。仮に、コンパレータ116が“H”

のとき、スイッチングレギュレータの消費電流が、30 μ Aとする。その内の20 μ Aをエラーアンプ113とPWMコンパレータ117で消費しているとする。スイッチングレギュレータの負荷が、スイッチングレギュレータの消費電流と同等になるくらいに軽くなり、30 μ Aになったとすると、明らかに、スイッチングレギュレータの効率としては、半分以下に低下してしまう。しかし、そのような軽負荷時に、コンパレータ116が“L”になり、エラーアンプ113と、PWMコンパレータ117の消費電流が、2 μ Aに減少すれば、スイッチングレギュレータの消費電流は、12 μ Aとなる。その時の効率は70%程度まで上げることができる。

【0022】軽い負荷の時に、エラーアンプや、PWMコンパレータの電流を下げるということは、スイッチングレギュレータの応答が遅くなるというデメリットはある。しかし、携帯機器において、負荷が軽いときは、待機モードであり、電源電圧や、負荷変動は少ない。このため、一般には軽負荷時の効率改善効果のメリットの方が大きい。図8に、横軸を出力負荷電流、縦軸を効率としたときの特性曲線を示す。

【0023】図10の従来のスイッチングレギュレータでは、負荷が軽いとき、スイッチングレギュレータ自体の消費電流によって損失が増大し、効率が大幅に減少するが、本発明のスイッチングレギュレータでは、負荷が軽いとき、スイッチングレギュレータ自体の消費電流を減らすことで、効率をあげることができる。一方、エラーアンプ113の出力 V_{err} が、基準電圧回路110の出力 V_{ref110} よりも、大きいような負荷の場合は、従来と同じ動作をするので、効率、及び、応答特性に変化はない。

【0024】また、基準電圧回路110の出力電圧 V_{ref110} の電圧値を調整することで、消費電流を切り換えるときのエラーアンプ113の出力電圧値を調整できるので、消費電流を切り換えるときのスイッチングレギュレータの出力負荷電流値を任意に調整できることは明白である。図9は本発明の第四の実施例によるスイッチングレギュレータの制御回路のブロック図である。基準電圧回路10、ブリーダ抵抗11、12、及び、発振回路14は従来と同様である。エラーアンプ113とPWMコンパレータ117の動作も、従来と同じである。

【0025】第三の実施例との相違点は、エラーアンプ113とPWMコンパレータ117の消費電流が、エラーアンプ113の出力 V_{err} に応じて、アナログ的に変化することである。電圧-電流変換回路120は、エラーアンプ113の出力電圧に応じて、エラーアンプ113、及び、PWMコンパレータ117の消費電流をアナログ的に変化させる。

【0026】即ち、エラーアンプ113の出力が低い、負荷の軽い時は、エラーアンプとPWMコンパレータの消費電流を少なくして、スイッチングレギュレータの軽

負荷時の効率をあげる。また、負荷の重い時は、エラーアンプとPWMコンパレータの消費電流を増加させて、スイッチングレギュレータの応答特性を改善する。負荷の重い時は、スイッチングレギュレータの自己消費電流よりも、他のスイッチング損失が支配的となるので、エラーアンプとPWMコンパレータの消費電流を多少増加させたとしても、効率の低下はほとんどない。

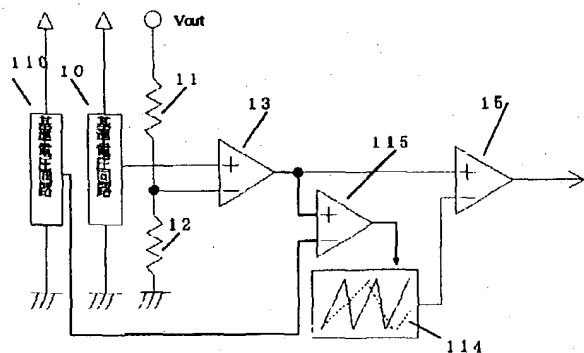
【0027】上記第三及び第四の実施例では、エラーアンプとPWMコンパレータの両方の消費電流を、エラーアンプの出力に応じて変化させているが、どちらか片方の消費電流のみを、変化させても、効果は少なくなるが、軽負荷時の効率を改善できることは明白である。また、上記実施例では、エラーアンプの出力電圧値に応じて、エラーアンプとPWMコンパレータの消費電流を変化させているが、これに限らず、重負荷時と軽負荷時とを識別する信号によって、前記消費電流を変化させても、同様の効果を有する。例えば、重負荷時と軽負荷時を識別する信号としては、外部から供給される信号や、PWMコンパレータ117の出力パルス幅に応じた出力電圧をもった信号等が考えられる。

【0028】

【発明の効果】以上説明したように、本発明によるスイッチングレギュレータでは、負荷の大小を検出し、この検出結果に応じて、スイッチングレギュレータの効率を変化させる可変効率手段を設けた。この可変効率手段は、発振回路の発振周波数を変化させる発振周波数制御回路、またはエラーアンプまたはPWMコンパレータの少なくとも一方の電源回路に接続され、電源回路に供給する電流を変化させる電源電流制御回路によって構成した。前者の構成によれば、低負荷時に発振回路の発振周波数を上げて、幅の広いパルス幅でスイッチングすることで、軽負荷時の効率を上げることができる。また後者の構成によれば、軽負荷時に、スイッチングレギュレータの消費電流を下げることで、軽負荷時の効率を上げることができる。

【図面の簡単な説明】

【図1】



【図1】本発明の第一の実施例によるスイッチングレギュレータの制御回路のブロック図である。

【図2】本発明の第一の実施例によるスイッチングレギュレータの動作を示す信号波形図である。

【図3】本発明の第一の実施例によるスイッチングレギュレータと従来のスイッチングレギュレータの効率を示す説明図である。

【図4】本発明の第二の実施例によるスイッチングレギュレータの制御回路のブロック図である。

【図5】本発明の第二の実施例によるスイッチングレギュレータの発振回路の充放電電流と発振周波数の関係を示す説明図である。

【図6】本発明の第三の実施例によるスイッチングレギュレータの制御回路のブロック図である。

【図7】本発明の第三の実施例によるスイッチングレギュレータの動作を示す信号波形図である。

【図8】本発明の第三の実施例によるスイッチングレギュレータと従来のスイッチングレギュレータの効率を示す説明図である。

【図9】本発明の第四の実施例によるスイッチングレギュレータの制御回路のブロック図である。

【図10】従来のスイッチングレギュレータのブロック図である。

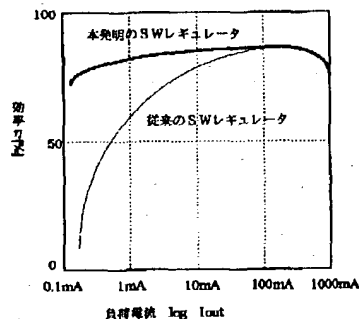
【図11】従来のスイッチングレギュレータの動作を示す信号波形図である。

【図12】従来の昇圧型スイッチングレギュレータのブロック図である。

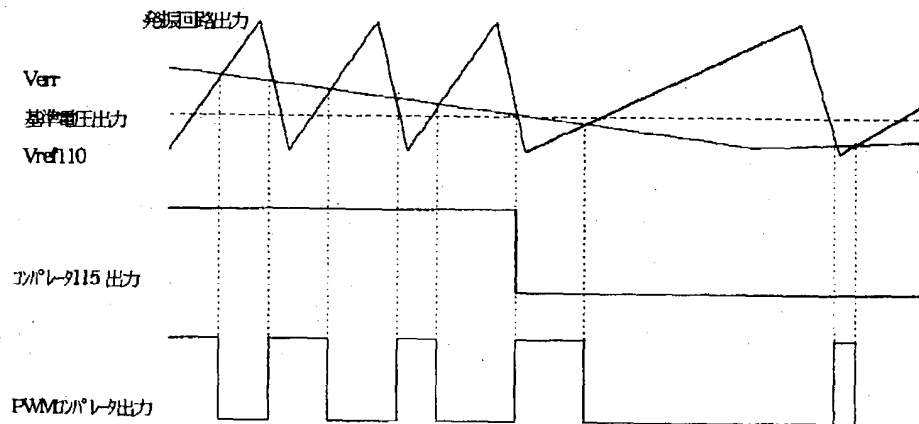
【符号の説明】

10	基準電圧回路
11、12	ブリーダ抵抗
13、113	エラーアンプ
14、114	発振回路
15、117	PWMコンパレータ
110	基準電圧回路
115、116	コンパレータ
120	電圧-電流変換回路

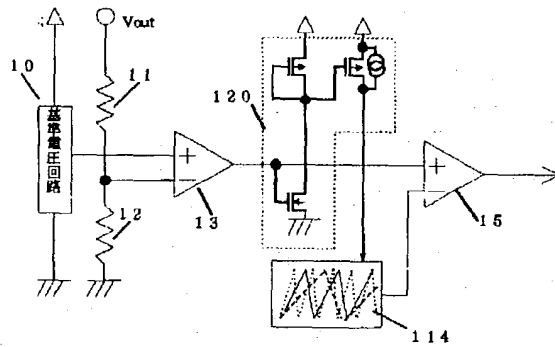
【図3】



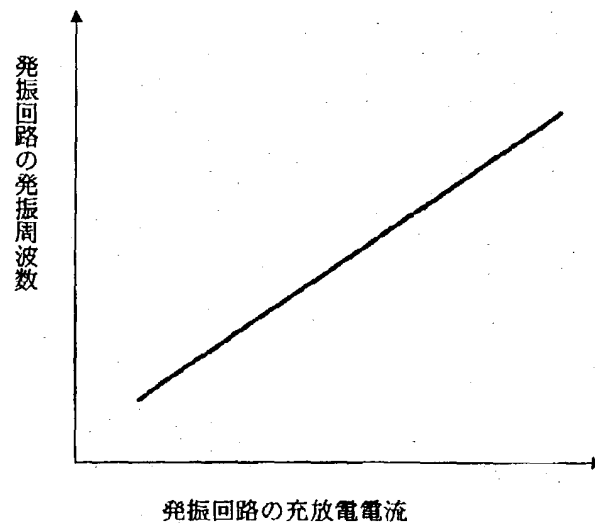
【図2】



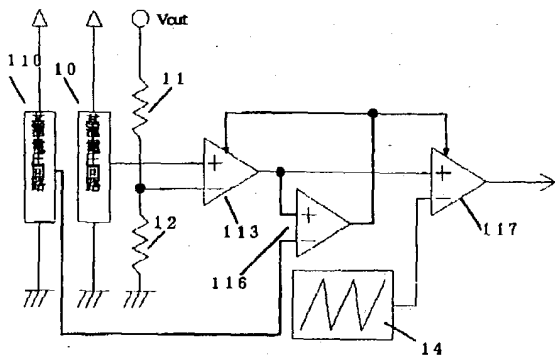
【図4】



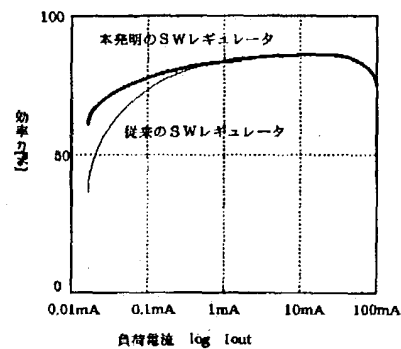
【図5】



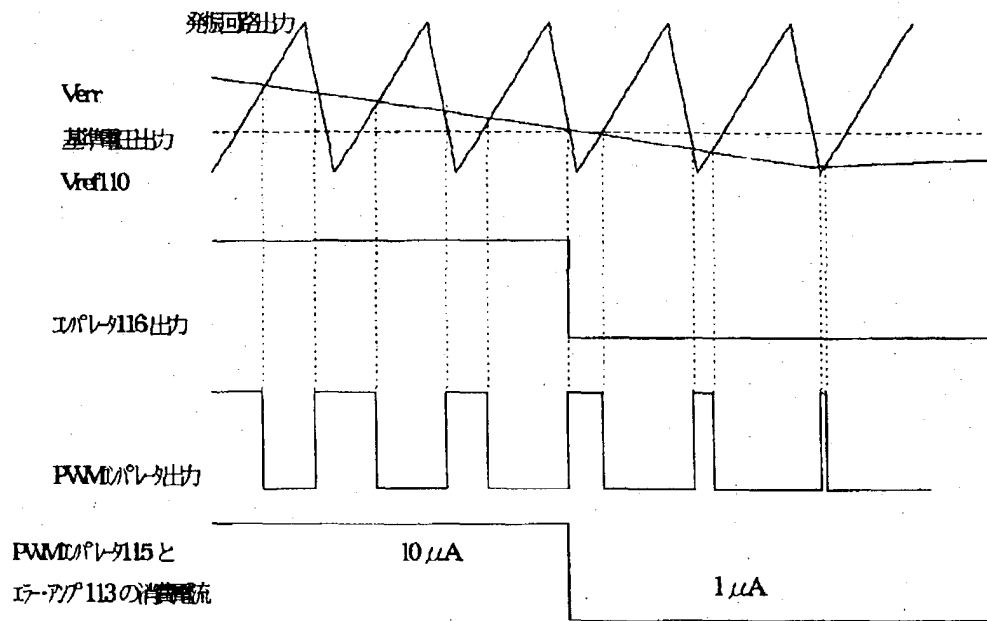
【図6】



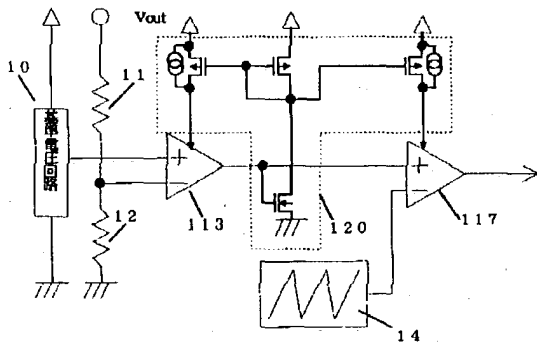
【図8】



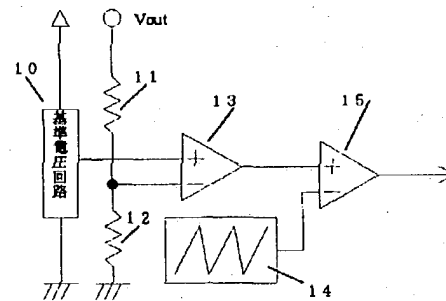
【図7】



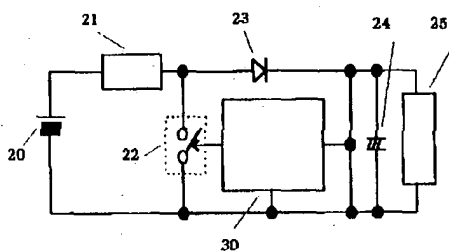
【図9】



【図10】



【図12】



【図11】

